



Docket No.: GR 00 P 1679

T  
I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nolff Date: May 7, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : Dieter Kantz et al  
Applic. No. : 09/826,594  
Filed : April 5, 2001  
Title : Test Configuration For The Functional Testing Of A Semiconductor

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 16 996.1, filed April 5, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolff  
For Applicants

MARKUS NOLFF  
REG. NO. 37,006

Date: May 7, 2001

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/sc

8400/0300 #14 0400  
5-9-01  
4/ Priority  
Doc.  
E. Willis  
8-20-01

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 100 16 996.1  
**Anmeldetag:** 05. April 2000  
**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE  
**Bezeichnung:** Testanordnung zur Funktionsprüfung eines Halb-  
leiterchips  
**IPC:** G 01 R, G 11 C, H 01 L

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 22. März 2001  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A large, handwritten signature in black ink is written over the typed name "Der Präsident Im Auftrag". The signature is fluid and cursive, with some loops and variations in thickness.

**Beschreibung****Testanordnung zur Funktionsprüfung eines Halbleiterchips**

- 5 Die vorliegende Erfindung betrifft eine Testanordnung zur Funktionsprüfung eines Halbleiterchips, der einem Funktionstest unterziehbar ist zum Überprüfen der Funktionsfähigkeit des Halbleiterchips.
- 10 Im Zuge der Herstellung von Halbleiterchips werden diese im allgemeinen wenigstens einem Funktionstest unterzogen, in dem die Funktionsfähigkeit eines Halbleiterchips überprüft wird. Dabei wird der Halbleiterchip beispielsweise mit einer externen Prüfeinrichtung geprüft, die Testinformation erzeugt und den Funktionstest durchführt. Die Testinformation wird dabei in den Halbleiterchip eingelesen und mit ausgelesenen Daten verglichen.
- 15 Eine Funktionsüberprüfung beispielsweise eines integrierten Halbleiterspeichers erfolgt üblicherweise in mehreren Schritten: in einer ersten Testanordnung werden Funktionstests an ungehäusten Halbleiterchips vorgenommen, die üblicherweise auf Halbleiterscheiben angeordnet sind (sogenannter Scheibentest oder Wafer-Level-Test). Diese Tests laufen im allgemeinen in komplexen Testsystemen parallel für mehrere Halbleiterchips ab, um Testzeit und Testkosten gering zu halten. In einer weiteren Testanordnung werden Funktionstests an dem gehäusten Halbleiterchip vorgenommen (sogenannter Baustein-test).
- 20 25 Bei Halbleiterspeichern steigen die Testzeit und der Testaufwand im allgemeinen mit zunehmender Speicherdichte deutlich an und steigern damit die Testkosten und auch die Herstellkosten. Bei Verwendung eines externen Testgerätes für einen Scheibentest werden im allgemeinen über eine begrenzte Anzahl von Ansteuerkanälen mittels der sogenannten Nadelkartentechnik (sogenannte Probecards) Testsignale, Steuersignale und
- 30 35

Betriebsspannung bzw. Betriebsstrom zugeführt. Die Anzahl parallel zu testender Speicherchips ist dabei aufgrund mechanisch bedingter Probleme bei der Nadelkartentechnik beispielsweise zur Zuführung der Betriebsspannung begrenzt.

5

Die Aufgabe der vorliegenden Erfindung ist es, eine Testanordnung zur Funktionsprüfung eines Halbleiterchips anzugeben, die es ermöglicht, die Testzeit und die Testkosten für einen durchzuführenden Funktionstest vergleichsweise gering zu halten.

10

Die Aufgabe wird gelöst durch eine Testanordnung zur Funktionsprüfung eines Halbleiterchips mit einem Halbleiterchip, der einem Funktionstest unterziehbar ist zum Überprüfen der Funktionsfähigkeit des Halbleiterchips, der auf einem Trägermaterial angeordnet ist, und der eine Selbsttesteinheit aufweist zur Erzeugung von Testinformation und zur Durchführung des Funktionstests, mit einer Energiequelle zur Bereitstellung einer elektrischen Energieversorgung aus kontaktlos zugeführter Energie, bei der die Energiequelle auf dem Trägermaterial angeordnet ist und mit dem Halbleiterchip verbunden ist zur Bereitstellung einer Energieversorgung für den Halbleiterchip.

25

Durch die erfindungsgemäße Testanordnung ist es möglich, eine im Prinzip beliebig hohe Anzahl von zu testenden Halbleiterchips parallel auf Funktionsfähigkeit zu testen. Durch die Selbsttesteinheit ist es möglich, unabhängig von einem externen Testgerät Testinformation zu erzeugen und einen Funktionstest durchzuführen. Es ist also nicht notwendig, einen zu testenden Halbleiterchip über externe Anschlüsse für Test- oder Steuersignale mit einer externen Testeinrichtung zu kontaktieren. Da außerdem eine Energiequelle zur Bereitstellung einer elektrischen Energieversorgung aus kontaktlos zugeführter Energie auf dem Trägermaterial, beispielsweise einer Halbleiterscheibe, angeordnet ist und mit dem Halbleiterchip verbunden ist, können außerdem externe Anschlüsse zur Zufüh-

30

35

rung einer Betriebsspannung und/oder eines Betriebsstromes entfallen. Die Anzahl parallel zu testender Halbleiterchips ist dadurch nicht mehr aufgrund mechanisch bedingter Probleme beispielsweise bei der Nadelkartentechnik begrenzt. Die Test-  
5 kosten bzw. Herstellkosten werden zusätzlich gesenkt, da kein externes Testgerät benötigt wird.

Sind mehrere Halbleiterchips beispielsweise auf einer Halbleiterscheibe angeordnet, so ist es möglich, neben den Halbleiterchips der Halbleiterscheibe auch mehrere Halbleiterscheiben bzw. deren aufgebrachte Halbleiterchips einem parallelen Funktionstest zu unterziehen. Dieser kann durch die erf-  
10 indungsgemäße Testanordnung als kontaktloser Scheibentest durchgeführt werden.

15 In einer Weiterbildung der Erfindung weist die Energiequelle wenigstens eine Solarzelle auf zur Erzeugung eines Betriebsstroms auf einem zu testenden Halbleiterchip durch kontaktlos zugeführte optische Strahlung. Die Solarzelle wird dazu beispielweise mit sichtbarem Licht bestrahlt, so daß ein Stromfluß erzeugt wird, der als Betriebsstrom auf dem Halbleiterchip dient.

Bei einer Testanordnung, bei der mehrere zu testende Halbleiterchips auf einer Halbleiterscheibe aufgebracht sind, ist die Solarzelle in einer Ausführungsform in dem Ritzrahmen der Halbleiterscheibe angeordnet. Dieser trennt die Halbleiterchips auf der Halbleiterscheibe voneinander. Entlang dieses Ritzrahmens werden in einem späteren Herstellungsprozeß die Halbleiterchips voneinander getrennt, indem die Halbleiterscheibe entlang des Ritzrahmens auseinander gesägt wird (so-  
25 genanntes Dicing). Der dazu benötigte Platzbedarf auf der Halbleiterscheibe kann in vorteilhafter Weise genutzt werden, indem die Solarzelle in dem Ritzrahmen angeordnet ist. Da die Solarzelle für einen späteren Betrieb des Halbleiterchips nicht mehr benötigt wird, ist es nicht erheblich, daß diese  
30 beim späteren Durchsägen der Halbleiterscheibe zerstört wird.  
35

Um eine ausreichende Stromerzeugung durch die Solarzelle zu erreichen, ist eine relativ große Fläche für die Solarzelle notwendig. Durch eine dadurch notwendige Vergrößerung des Ritzrahmens kann die Anzahl der Halbleiterchips auf der Halbleiterscheibe im allgemeinen reduziert werden. Dieser Nachteil muß gegen die Einsparung der Testkosten abgewägt werden.

In einer weiteren Ausführungsform der Erfindung ist die Solarzelle flächig auf einer Oberfläche der Halbleiterscheibe, 10 auf der der zu testende Halbleiterchip aufgebracht ist, angeordnet. Bei 100%iger Photonenausbeute der Solarzelle kann diese direkt auf die Halbleiterscheibe bzw. den Halbleiterchip aufgebracht werden. Ist die Solarzelle jedoch lichtdurchlässig, so ist es zweckmäßig, daß zwischen Solarzelle 15 und dem Halbleiterchip eine strahlungsabsorbierende Schicht aufgebracht wird, um eine Ladungsträgererzeugung auf dem Chip zu vermeiden.

In einer weiteren Ausführungsform der Erfindung ist die Solarzelle auf der Oberfläche des Trägermaterials angeordnet, 20 die dem zu testenden Halbleiterchip abgewandt ist. Ist die Solarzelle also auf der Rückseite des Trägermaterials, beispielsweise einer Halbleiterscheibe, angeordnet, so ist eine Durchkontaktierung von der Solarzelle durch das Substrat der Halbleiterscheibe auf die andere Seite der Halbleiterscheibe erforderlich. An der Begrenzung der Durchkontaktierung zum 25 Trägermaterial bzw. zur Halbleiterscheibe ist eine Strombarriere in Form eines pn-Übergangs längs der Durchkontaktierung angeordnet um einen Stromfluß zwischen der Durchkontaktierung und der Halbleiterscheibe zu vermeiden. Um die Durchkontaktierung einfach zu gestalten, muß die Halbleiterscheibe eventuell auf das erforderliche Maß gedünnt werden. Im Falle einer teiltransparenten Solarzelle ist es auch hier erforderlich, zur Verhinderung einer Ladungsträgererzeugung zwischen 30 der Solarzelle und dem Halbleiterchip eine strahlungsabsorbierende Schicht anzuordnen.

- Bei der Verwendung einer Solarzelle zur Erzeugung einer Energieversorgung auf einem zu testenden Halbleiterchip muß generell bei gegebener Fläche hinreichend viel Betriebsstrom erzeugt werden, um den Halbleiterchip während des Funktionstests zu betreiben. Im allgemeinen werden zur Durchführung von Scheibentests keine Funktionstests durchgeführt, die empfindlich hinsichtlich einer Betriebsfrequenz sind. Dies bedeutet, daß hier im allgemeinen bei niedrigen Betriebsfrequenzen getestet werden kann. Dadurch wird der Betriebsstrom vergleichsweise niedrig gehalten. Die Anforderungen an die Stromtreibefähigkeit der Solarzelle sind somit entspannt. Bei einem Test beispielsweise eines Speicherchips ist die Gesamttestzeit hauptsächlich durch die sogenannten Retention Tests für die Speicherzellen gegeben, zu einem kleineren Anteil durch die Betriebsfrequenz selbst. Da zudem alle Chips auf einer Halbleiterscheibe parallel getestet werden können, fällt eine niedrige Betriebsfrequenz während eines Funktionstests kaum ins Gewicht.
- Halbleiterchips können im Falle eines Kurzschlusses relativ viel Strom benötigen. Um eine Störung eines Funktionstests zu vermeiden, werden defekte Chips, die auf einer Halbleiterscheibe angeordnet sind, bevorzugt während des parallelen Tests von anderen funktionsfähigen Chips der Halbleiterscheibe bezüglich der Energieversorgung entkoppelt. Dies kann dadurch erfolgen, daß pro Halbleiterchip eine separate Solarzelle verwendet wird, die auf dem Halbleiterchip angeordnet ist.
- Bei Verwendung einer gemeinsamen Energiequelle zur gemeinsamen Stromversorgung mehrerer zu testender Halbleiterchips weisen die zu testenden Chips vorteilhafterweise jeweils eine Strombegrenzerschaltung auf zur Trennung eines jeweiligen Halbleiterchips von der Energiequelle im Falle einer Überschreitung eines Grenzwertes eines Betriebsstromes. Falls der Stromverbrauch eines zu testenden Chips, beispielsweise im Kurzschlußfall, über dem Grenzwert liegt, wird der zu testen-

de Chip nicht weiter getestet und von der Energieversorgung durch die Strombegrenzerschaltung getrennt.

Im Interesse möglichst geringer Herstellkosten ist es zweckmäßiger, daß die Prozeßschritte zur Erzeugung bzw. zur Abscheidung der Solarzelle in die Prozeßschritte zur Herstellung eines Halbleiterchips integrierbar sind. Dies gilt insbesondere hinsichtlich der zu verwendenden Materialien und Prozeßtemperaturen.

10

Um eine benötigte Fläche für eine Solarzelle möglichst gering zu halten, sollte die Strahlungsquelle bzw. Lichtquelle eine möglichst hohe Energiedichte aufweisen. Außerdem sollte diese an die Leistungscharakteristika der Solarzelle angepaßt sein.

15

Die Strahlungsquelle kann beispielsweise durch eine UV-Lichtquelle oder durch einen ausgeweiteten Laserstrahl realisiert werden.

20

Soll Information über die Durchführung eines Funktionstests und/oder ein Testergebnis ausgewertet werden, so ist es erforderlich, diese ebenfalls kontaktlos beispielsweise an eine externe Auswerteeinrichtung zu übertragen. Eine Testinformation kann dabei im einfachsten Fall eine sogenannte Pass- oder Fail-Information sein, die aussagt, ob ein getesteter Halbleiterchip ordnungsgemäß funktioniert. Auszuwertende Daten können außerdem Information über die Einteilung in eine Geschwindigkeitsklasse oder ähnliche Unterscheidungskriterien enthalten.

25

Kann ein zu testender Halbleiterchip durch eine vorhandene Redundanz auf dem Halbleiterchip beispielsweise durch die Selbsttesteinheit repariert werden, so ist es vorteilhaft, detailliertere Informationen über eine Reparatur zu erhalten, um Aussagen über die Fehlerdichte auf dem Chip machen zu können. So können beispielsweise bei einem zu testenden Speicherchip die Adressen vom fehlerhaften Speicherzellen ermit-

telt werden und ausgewertet werden, wieviel der vorhandenen Redundanz zur Reparatur eingesetzt wurde.

- Zum Transfer und zur Auswertung von Testinformation über die
- 5 Testdurchführung und/oder ein Testergebnis weist der Halbleiterchip in einer Ausführungsform der Erfindung eine Funktionseinheit auf zur kontaktlosen Übertragung von Daten, die die auszulesende Testinformation enthalten.
- 10 Die Funktionseinheit ist dazu beispielsweise zur Erzeugung von optischen Strahlungsimpulsen entsprechend der zu übertragenden Daten ausgebildet. Die Strahlungsimpulse sind von einem Empfänger außerhalb des Halbleiterchips empfangbar. Dazu wird beispielsweise ein Halbleiterlaser auf dem Halbleiter-
- 15 chip vorgesehen, der entsprechende Strahlungsimpulse erzeugt. Dabei ist auf eine ausreichende Streulichtabschirmung und Kalibrierung des Empfängers bei einer Verwendung einer Solarzelle zu achten, um das auszulesende Signal unter der Beleuchtung zur Stromerzeugung sicher detektieren zu können.
- 20 Der Halbleiterlaser wird beispielsweise an die Stelle eines Anschlußpads des Chips vorgesehen. Dieses Pad muß zur Emission der Strahlung freigelassen werden. Die zu emittierenden Strahlungsimpulse können beispielsweise durch Laserlicht, das schräg zur Oberfläche der Halbleiterscheibe abstrahlt,
- 25 erzeugt werden.

In einer anderen Ausführungsform der Erfindung weist die Funktionseinheit einen Ausgangsanschluß auf, über den die zu übertragenden Daten durch kapazitive Kopplung an einen Empfänger außerhalb des Halbleiterchips übertragbar sind. Dazu wird dem Ausgangsanschluß, beispielsweise in Form eines Ausgangspads, eine Prüfspitze in vergleichsweise geringem Abstand gegenübergestellt und die zu übertragende Information durch kapazitive Kopplung transferiert. Bei einer Anordnung der Solarzelle auf der Oberfläche einer Halbleiterscheibe, die den zu testenden Halbleiterchips zugewandt ist, muß die

Anordnung der Prüfspitzen eine hinreichende Beleuchtung der Scheibenoberfläche erlauben.

In einer anderen Ausführungsform der Erfindung ist ein Material, beispielsweise ein Halbleitermaterial, mit einem Anschluß der Funktionseinheit verbunden, an dem ein durch die Funktionseinheit steuerbares Potential entsprechend der zu übertragenden Daten anliegt. Das Material bewirkt dabei eine durch das Potential steuerbare optische Brechung von eingeschalteter optischer Strahlung. Das Material wird dazu mit optischer Strahlung bestrahlt, die durch das Material gebrochene optische Strahlung wird von einem Empfänger außerhalb des Halbleiterchips empfangen. Es werden also mittels einer elektrooptischen Steuerung durch Ausnutzung von elektrischen Streufeldern an dem Anschluß der Funktionseinheit Änderungen der Brechzahl eines entsprechenden Materials bewirkt. Die Brechzahl ändert sich dabei in Folge des anliegenden Potentials, das durch die Funktionseinheit gesteuert wird. Die sich dadurch ergebenden unterschiedlichen Brechungswinkel werden durch den Empfänger ausgewertet.

Um einen Transfer der auszulesenden Testinformationen zu starten, weist der Halbleiterchip in einer vorteilhaften Ausführungsform einen Spannungsdetektor oder einen Stromdetektor auf, der mit der Energiequelle und der Funktionseinheit verbunden ist. Bei Auftreten einer charakteristischen Spannungsabfolge bzw. Stromabfolge wird eine Datenübertragung durch die Funktionseinheit ausgelöst. Die dazu erforderliche Spannungs- bzw. Stromstärkeabfolge wird durch eine entsprechende Variation der Strahlungsintensität erzeugt.

In einer weiteren Ausführungsform ist der Spannungsdetektor bzw. der Stromdetektor mit der Energiequelle und der Selbsttesteinheit verbunden, wobei durch eine detektierte charakteristische Spannungsabfolge bzw. Stromabfolge der Beginn eines Funktionstests durch die Selbsttesteinheit ausgelöst wird.

Ein Transfer von Informationen von beispielsweise einer externen Prüfeinrichtung in einen zu prüfenden Halbleiterchip zu Beginn eines Testablaufes ist nicht notwendig. Diese Information kann beispielsweise in einem ROM (Read Only Memory) hinterlegt werden. Die Information wird für einen Funktionstest von der Selbsttesteinheit eingelesen.

In einer weiteren Ausführungsform der Erfindung weist der Halbleiterchip eine nicht flüchtige Speichereinheit auf zur Speicherung von Daten, die Information über die Testdurchführung und/oder ein Testergebnis enthalten. Zum Auslesen dieser Daten ist die nicht flüchtige Speichereinheit mit einem Anschluß des Halbleiterchips verbunden, über den die Daten der Speichereinheit nach außerhalb des Halbleiterchips abgreifbar sind. Diese Ausführungsform ist insbesondere vorteilhaft bei Funktionstests, bei denen Testinformationen in einem begrenzten Umfang ausgelesen werden. Diese Information kann beispielsweise in elektrisch programmierbaren Fuses nicht flüchtig gespeichert werden. In einem nächsten Testschritt, beispielsweise bei einem Bausteintest, der nach einem Scheibentest durchgeführt wird, kann diese Information ausgelesen werden.

In einer Weiterbildung des Halbleiterchips weist dieser einen integrierten Speicher auf, der Speicherzellen enthält, die einem Funktionstest unterziehbar sind. Die Selbsttesteinheit ist dazu zur Erzeugung von Testinformation und zur Durchführung eines Funktionstests der Speicherzellen ausgebildet. Diese erzeugt die für einen Funktionstest notwendigen sogenannten Test-Patterns und Timings.

Weist der integrierte Speicher in einer Ausführungsform neben normalen Speicherzellen auch redundante Speicherzellen zum Ersetzen von normalen Speicherzellen auf, so kann eine Reparatur von defekten normalen Speicherzellen vorgenommen werden. Durch die Selbsttesteinheit wird die Funktionsfähigkeit der normalen Speicherzellen überprüft, anschließend wird eine

Analyse vorgenommen, welche der normalen Speicherzellen durch welche der redundanten Speicherzellen zu ersetzen sind. Durch Berechnung aus dem ermittelten Fehlerbild des Speichers wird also die Reparaturinformation erzeugt. Ein entsprechender

- 5 Redundanzalgorithmus ist dazu in geeigneter Weise in der Selbsttesteinheit hinterlegt (beispielsweise in einem ROM). Nach Ermittlung der Reparaturinformation werden die redundanten Speicherzellen entsprechend dem Analyseergebnis durch die Selbsttesteinheit aktiviert. Diese Aktivierung kann in einer  
10 weiteren Ausführungsform auch durch elektrisch programmierbare Speichereinheiten vorgenommen werden, in denen ein durch die Selbsttesteinheit ermitteltes Reparaturergebnis programmierbar ist. Die beschriebene Reparatur eines Speicherchips ist insbesondere bei sogenannten DRAMs und eDRAMs anwendbar.

15

Weitere vorteilhafte Aus- und Weiterbildungen sind Gegenstand abhängiger Ansprüche.

- 20 Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die jeweils Ausführungsbeispiele darstellen, näher erläutert. Es zeigen:

Figur 1 eine Ausführungsform einer erfindungsgemäßen Testanordnung,

Figuren 2 und 3 weitere detaillierte Ausführungsformen der Testanordnung,

30 Figuren 4 und 5 Ausführungsformen der Erfindung bezüglich der Anordnung einer Solarzelle.

- Figur 1 zeigt einen Halbleiterchip 1, der hier als integrierter Speicher ausgeführt ist. Der Speicher weist ein matrixförmiges Speicherzellenfeld 8 auf mit normalen Speicherzellen MC und redundanten Speicherzellen RMC zum Ersetzen von fehlerhaften normalen Speicherzellen MC, die jeweils entlang von Spaltenleitungen und Zeilenleitungen angeordnet sind. Der  
35

Halbleiterchip 1 weist außerdem eine Selbsttesteinheit 2 auf, auch als BIST (Built-In-Self-Test) bezeichnet, zur Erzeugung von Testinformation und zur Durchführung eines Funktionstests der normalen Speicherzellen MC.

- 5 Dazu werden beispielsweise Prüfmuster (sogenannte Patterns) in das Speicherzellenfeld 8 eingelesen und mit ausgelesenen Daten verglichen. Die Selbsttesteinheit 2 überprüft dabei die Funktionsfähigkeit der normalen Speicherzellen MC. Durch die Selbsttesteinheit 2 werden außerdem die Spannungsniveaus der Ansteuersignale erzeugt.
- 10 Die Selbsttesteinheit 2 führt anschließend eine Analyse durch, welche der normalen Speicherzellen MC durch welche der redundanten Speicherzellen RMC zu ersetzen sind. Es erfolgt dann eine Abspeicherung der Reparaturinformation.
- 15 Der Speicherchip 1 weist dazu elektrisch programmierbare Speichereinheiten 9 auf, in denen ein durch die Selbsttesteinheit 2 ermitteltes Reparaturergebnis programmiert werden kann. Die elektrisch programmierbaren Speichereinheiten 9 sind beispielsweise als sogenannte elektrische Fuses ausgeführt, die ebenfalls durch die Selbsttesteinheit 2 programmierbar sind. In den Speichereinheiten 9 sind beispielsweise Adressen von fehlerhaften normalen Speicherzellen MC gespeichert. Zum Ersatz von fehlerhaften normalen Speicherzellen MC werden entsprechende redundante Speicherzellen RMC durch die Speichereinheiten 9 aktiviert.

- 30 Zur Bereitstellung einer elektrischen Energieversorgung auf dem Halbleiterchip 1 ist eine Energiequelle 3 vorgesehen, die eine elektrische Energieversorgung aus kontaktlos zugeführter Energie bereitstellt. Die Energiequelle 3 ist in diesem Ausführungsbeispiel auf dem Halbleiterchip 1 angeordnet. Die Energiequelle 3 ist mit einem Spannungsdetektor oder Stromdetektor 6 verbunden, der eine charakteristische Spannungsabfolge bzw. Stromabfolge der Betriebsspannung UB bzw. des Betriebsstroms IB detektieren kann. Der Spannungsdetektor bzw. Stromdetektor 6 ist mit der Selbsttesteinheit 2 verbunden zum

Auslösen eines Funktionstests in Folge einer detektierten charakteristischen Spannungsabfolge bzw. Stromabfolge.

Der Halbleiterchip 1 weist weiterhin eine Funktionseinheit 4 auf, die zur kontaktlosen Übertragung von Daten DA ausgebildet ist, die Information über die Testdurchführung und/oder ein Testergebnis enthalten. Die Funktionseinheit 4 enthält beispielsweise einen Halbleiterlaser, durch welchen optische Strahlungsimpulse 41 erzeugt werden können entsprechend der zu übertragenden Daten DA. Die optischen Strahlungsimpulse 41 werden von einem Empfänger 5 außerhalb des Halbleiterchips 1 empfangen. Die Funktionseinheit 4 ist mit der Selbsttesteinheit 2 verbunden. Die Funktionseinheit 4 ist weiterhin mit dem Spannungsdetektor oder Stromdetektor 6 verbunden, der bei Detektion einer charakteristischen Spannungsabfolge bzw. Stromabfolge eine Datenübertragung durch die Funktionseinheit 4 auslöst.

In einer anderen Ausführungsform weist die Funktionseinheit 4 einen Ausgangsanschluß A auf, beispielsweise in Form eines Anschlußpads, über den die zu übertragenden Daten DA durch kapazitive Kopplung an den Empfänger 5 übertragen werden. Der Empfänger 5 weist dazu geeignete Prüfspitzen auf, die in einem genügend kleinen Abstand zum Anschluß A angeordnet werden.

Der Halbleiterchip 1 enthält weiterhin eine nicht flüchtige Speichereinheit 7 zur Speicherung der Daten DA. Die Speichereinheit 7 ist mit einem Anschluß EX des Halbleiterchips verbunden. An dem Anschluß EX werden beispielsweise während eines Bausteintests die gespeicherten Daten DA der Speichereinheit 7 ausgelesen.

In Figur 2 ist eine Ausführungsform der Testanordnung als elektrisches Prinzipschaltbild dargestellt. Die Energiequelle 3 weist dabei eine Solarzelle 30 auf, durch die ein Betriebsstrom IB auf dem Halbleiterchip 1 durch kontaktlos zugeführte

optische Strahlung 31 erzeugt werden kann. In dem Strompfad der Solarzelle 30 ist eine Strombegrenzerschaltung 32 vorgesehen, die im Falle einer Überschreitung eines Grenzwertes des Betriebsstroms  $I_B$  den Halbleiterchip 1 von der Solarzelle 30 trennt. Dies ist insbesondere dann von Vorteil, wenn die Solarzelle 30 als gemeinsame Energiequelle für mehrere zu testende Halbleiterchips verwendet wird. So werden beispielsweise im Kurzschlußfall andere zu testende Halbleiterchips nicht beeinflußt, da der fehlerhafte Chip durch die Strombegrenzerschaltung 32 von der Energieversorgung getrennt wird.

In Figur 3 ist eine weitere Ausführungsform der Testanordnung dargestellt. Der Halbleiterchip 1 weist ein Material 42 auf, das mit optischer Strahlung 43 bestrahlt wird. Dabei ist die optische Brechung der optischen Strahlung 43 durch ein Potential  $U_A$  steuerbar. Als Folge davon ergeben sich unterschiedliche Brechungswinkel  $\alpha$  der gebrochenen optischen Strahlung 44. Die gebrochene Strahlung 44 wird von dem Empfänger 5 außerhalb des Halbleiterchips 1 empfangen. Das Material 42 ist mit dem Anschluß A der Funktionseinheit 4 verbunden, an dem das Potential  $U_A$  anliegt. Dieses Potential ist entsprechend der zu übertragenden Daten  $D_A$  steuerbar. Das bedeutet, der Brechungswinkel  $\alpha$  wird in Abhängigkeit der zu übertragenden Daten  $D_A$  variiert. So werden elektrische Streufelder an dem Anschluß A durch das dort anliegende Potential  $U_A$  mittels einer elektrooptischen Steuerung ausgenutzt.

Figur 4 zeigt eine Ausführungsform einer Anordnung von mehreren Halbleiterchips 1, die auf einem Träger 10 angeordnet sind. Der Träger 10 ist in Figur 4 als Halbleiterscheibe, beispielsweise in Form eines Wafers, ausgebildet. Die Halbleiterscheibe 10 weist einen Ritzrahmen 11 auf, in dem die Solarzellen 30 angeordnet sind. Die Halbleiterchips 1 werden entlang des Ritzrahmens 11 zu einem späteren Zeitpunkt der Herstellung ausgesägt.

Figur 5a zeigt in einer weiteren Ausführungsform einen Querschnitt einer Anordnung, bei der auf einem Substrat bzw. einer Halbleiterscheibe 10 mehrere Halbleiterchips 1 angeordnet sind. Die Solarzelle 30 ist dabei ganzflächig auf der Oberfläche der Halbleiterscheibe 10 angeordnet. Zwischen der Solarzelle 30 und der Halbleiterscheibe 10 ist eine strahlungsabsorbierende Schicht 12 aufgebracht. Im Falle, daß die Solarzelle 30 Strahlung nach unten zur Halbleiterscheibe 10 durchläßt, wird durch die strahlungsabsorbierende Schicht 12 eine Ladungsträgererzeugung auf den Halbleiterchips 1 vermieden.

Figur 5b zeigt in einer weiteren Ausführungsform eine Anordnung, bei der die Solarzelle 30 auf der unteren Oberfläche eines Substrats bzw. der Halbleiterscheibe 10 angeordnet ist, die den Halbleiterchips 1 abgewandt ist. Zwischen der Solarzelle 30 und dem jeweiligen Halbleiterchip 1 ist eine elektrisch leitende Durchkontaktierung 13 in dem Substrat angeordnet, beispielhaft an einer einzigen Durchkontaktierung 13 gezeigt. An der Begrenzung der Durchkontaktierung 13 zum Substrat ist ein pn-Übergang 14 längs der Durchkontaktierung 13 angeordnet. Der pn-Übergang 14 dient dabei zur Verhinderung eines Stromflusses zwischen der Durchkontaktierung 13 und dem Substrat. Die Durchkontaktierung 13 und der pn-Übergang 14 sind in ähnlicher Weise zum gleichen Zweck in der strahlungsabsorbierenden Schicht 12 gemäß Figur 5a angeordnet. Diese kann auch in der Anordnung nach Figur 5b zusätzlich vorgesehen werden.

**Patentansprüche**

1. Testanordnung zur Funktionsprüfung eines Halbleiterchips  
- mit einem Halbleiterchip (1), der einem Funktionstest unterziehbar ist zum Überprüfen der Funktionsfähigkeit des Halbleiterchips (1), der auf einem Trägermaterial (10) angeordnet ist, und der eine Selbsttesteinheit (2) aufweist zur Erzeugung von Testinformation und zur Durchführung des Funktionstests,

10 - mit einer Energiequelle (3) zur Bereitstellung einer elektrischen Energieversorgung aus kontaktlos zugeführter Energie,  
- bei der die Energiequelle (3) auf dem Trägermaterial (10) angeordnet ist und mit dem Halbleiterchip (1) verbunden ist  
15 zur Bereitstellung einer Energieversorgung für den Halbleiterchip (1).

2. Testanordnung nach Anspruch 1,  
dadurch gekennzeichnet, daß  
20 die Energiequelle (3) wenigstens eine Solarzelle (30) aufweist zur Erzeugung eines Betriebsstromes (IB) auf dem Halbleiterchip (1) durch kontaktlos zugeführte optische Strahlung (31).

25 3. Testanordnung nach Anspruch 2,  
dadurch gekennzeichnet, daß  
- die Testanordnung eine Halbleiterscheibe (10) aufweist, auf der mehrere Halbleiterchips (1) aufgebracht sind,  
- die Halbleiterscheibe (10) einen Ritzrahmen (11) aufweist,  
30 der die Halbleiterchips (1) voneinander trennt, und  
- die Solarzelle (30) in dem Ritzrahmen (11) angeordnet ist.

4. Testanordnung nach Anspruch 2,  
dadurch gekennzeichnet, daß  
35 die Solarzelle (30) auf dem Halbleiterchip (1) angeordnet ist.

5. Testanordnung nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t, daß

- die Testanordnung eine Halbleiterscheibe (10) aufweist, auf  
der der Halbleiterchip (1) aufgebracht ist, und

5 - die Solarzelle (30) flächig auf einer Oberfläche der Halb-  
leiterscheibe (10) angeordnet ist.

6. Testanordnung nach Anspruch 2 oder 5,

d a d u r c h g e k e n n z e i c h n e t, daß

10 - die Solarzelle (30) auf der Oberfläche des Trägermaterials  
(10) angeordnet ist, die dem Halbleiterchip (1) abgewandt  
ist,

- zwischen der Solarzelle (30) und dem Halbleiterchip (1) ei-  
ne elektrisch leitende Durchkontaktierung (13) in dem Träger-

15 material (10) angeordnet ist,

- an der Begrenzung der Durchkontaktierung (13) zum Trägerma-  
terial (10) ein pn-Übergang (14) längs der Durchkontaktierung  
(13) angeordnet ist zur Verhinderung eines Stromflusses zwi-  
schen der Durchkontaktierung (13) und dem Trägermaterial

20 (10).

7. Testanordnung nach einem der Ansprüche 4 bis 6 ,

d a d u r c h g e k e n n z e i c h n e t, daß

zwischen der Solarzelle (30) und dem Halbleiterchip (1) eine  
25 strahlungsabsorbierende Schicht (12) aufgebracht ist.

8. Testanordnung nach einem der Ansprüche 1 bis 7,

d a d u r c h g e k e n n z e i c h n e t, daß

der Halbleiterchip (1) eine Funktionseinheit (4) aufweist zur  
30 kontaktlosen Übertragung von Daten (DA), die Information über  
die Testdurchführung und/oder ein Testergebnis enthalten.

9. Testanordnung nach Anspruch 8,

d a d u r c h g e k e n n z e i c h n e t, daß

35 die Funktionseinheit (4) zur Erzeugung von optischen Strah-  
lungsimpulsen (41) entsprechend der zu übertragenen Daten

(DA) ausgebildet ist, die von einem Empfänger (5) außerhalb des Halbleiterchips (1) empfangbar sind.

10. Testanordnung nach Anspruch 8,

5 durch gekennzeichnet, daß die Funktionseinheit (4) einen Ausgangsanschluß (A) aufweist, über den die zu übertragenen Daten (DA) durch kapazitive Kopplung an einen Empfänger (5) außerhalb des Halbleiterchips (1) übertragbar sind.

10

11. Testanordnung nach Anspruch 8,

durch gekennzeichnet, daß - ein Material (42) mit einem Anschluß (A) der Funktionseinheit (4) verbunden ist, an dem ein durch die Funktionseinheit (4) steuerbares Potential (UA) entsprechend der zu übertragenen Daten (DA) anliegt, - das Material (42) eine durch das Potential (UA) steuerbare optische Brechung ( $\alpha$ ) von optischer Strahlung (43) bewirkt, - das Material (42) mit optischer Strahlung (43) bestrahlbar ist und durch das Material (42) gebrochene optische Strahlung (44) von einem Empfänger (5) außerhalb des Halbleiterchips (1) empfangbar ist.

12. Testanordnung nach einem der Ansprüche 8 bis 11,

25 durch gekennzeichnet, daß der Halbleiterchip (1) einen Spannungsdetektor (6) oder einen Stromdetektor (6) aufweist, der mit der Energiequelle (3) und der Funktionseinheit (4) verbunden ist zum Auslösen einer Datenübertragung durch die Funktionseinheit (4) infolge einer detektierten charakteristischen Spannungsabfolge bzw. Stromabfolge.

30 13. Testanordnung nach einem der Ansprüche 1 bis 12, durch gekennzeichnet, daß - der Halbleiterchip (1) eine nicht flüchtige Speichereinheit (7) aufweist zur Speicherung von Daten (DA), die Information

über die Testdurchführung und/oder ein Testergebnis enthalten, und

- die nicht flüchtige Speichereinheit (7) mit einem Anschluß (EX) des Halbleiterchips (1) verbunden ist, über den die Daten (DA) der Speichereinheit (7) nach außerhalb des Halbleiterchips (1) abgreifbar sind.

14. Testanordnung nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß

- die Testanordnung mehrere zu testende Halbleiterchips (1) aufweist und

- einer der zu testenden Halbleiterchips (1) während eines Funktionstests bezüglich der Energieversorgung von den jeweiligen anderen Halbleiterchips (1) entkoppelt ist.

15

15. Testanordnung nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß

- die Testanordnung mehrere zu testende Halbleiterchips (1) aufweist,

20

- die Testanordnung für mehrere der zu testenden Halbleiterchips (1) eine gemeinsame Energiequelle (3) aufweist,

- die zu testenden Halbleiterchips (1) jeweils eine Strombegrenzerschaltung (32) aufweisen zur elektrischen Trennung eines jeweiligen Halbleiterchips (1) von der Energiequelle (3)

25

im Falle einer Überschreitung eines Grenzwertes eines Betriebsstromes (IB).

16. Testanordnung nach einem der Ansprüche 1 bis 15, dadurch gekennzeichnet, daß

30

der Halbleiterchip (1) einen Spannungsdetektor (6) oder einen Stromdetektor (6) aufweist, der mit der Energiequelle (3) und der Selbsttesteinheit (2) verbunden ist zum Auslösen eines Funktionstests infolge einer detektierten charakteristischen Spannungsabfolge bzw. Stromabfolge.

35

17. Testanordnung nach einem der Ansprüche 1 bis 16, dadurch gekennzeichnet, daß

- der Halbleiterchip (1) einen integrierten Speicher aufweist, der Speicherzellen (MC) enthält, die einem Funktionstest unterziehbar sind, und
- der Halbleiterchip (1) eine Selbsttesteinheit (2) zur Erzeugung von Testinformation und zur Durchführung eines Funktionstests der Speicherzellen (MC) aufweist.

18. Testanordnung nach Anspruch 17,

d a d u r c h g e k e n n z e i c h n e t, daß

- der integrierte Speicher normale Speicherzellen (MC) und redundante Speicherzellen (RMC) zum Ersetzen von normalen Speicherzellen (MC) aufweist,
- die Selbsttesteinheit (2) zum Überprüfen der Funktionsfähigkeit der normalen Speicherzellen (MC), zur Analyse, welche der normalen Speicherzellen (MC) durch welche der redundanten Speicherzellen (RMC) zu ersetzen sind, und zur Aktivierung der redundanten Speicherzellen (RMC) entsprechend dem Analyseergebnis ausgebildet ist.

20 19. Testanordnung nach Anspruch 18,

d a d u r c h g e k e n n z e i c h n e t, daß

der integrierte Speicher elektrisch programmierbare Speicherinheiten (9) aufweist zur Aktivierung der redundanten Speicherzellen (RMC), in denen ein durch die Selbsttesteinheit (2) ermitteltes Reparaturergebnis programmierbar ist.

## Zusammenfassung

## Testanordnung zur Funktionsprüfung eines Halbleiterchips

- 5 Eine Testanordnung zur Funktionsprüfung eines Halbleiterchips weist einen Halbleiterchip (1) auf, der einem Funktionstest unterziehbar ist zum Überprüfen der Funktionsfähigkeit des Halbleiterchips (1), und der auf einem Trägermaterial (10) angeordnet ist. Der Halbleiterchip (1) enthält eine Selbstste-  
10 Steinheit (2) zur Erzeugung von Testinformation und zur Durchführung des Funktionstests. Eine Energiequelle (3) dient zur Bereitstellung einer elektrischen Energieversorgung aus kontaktlos zugeführter Energie. Die Energiequelle (3) ist auf dem Trägermaterial (10) angeordnet und mit dem Halbleiterchip  
15 (1) verbunden zur Bereitstellung einer Energieversorgung auf dem Halbleiterchip (1). Durch die Testanordnung ist es mög-lich, einen kontaktlosen Funktionstest durchzuführen und durch eine hohe Parallelität beim Funktionstest mehrerer Halbleiterchips (1) die Testkosten zu reduzieren.

20

Figur 1

1/3

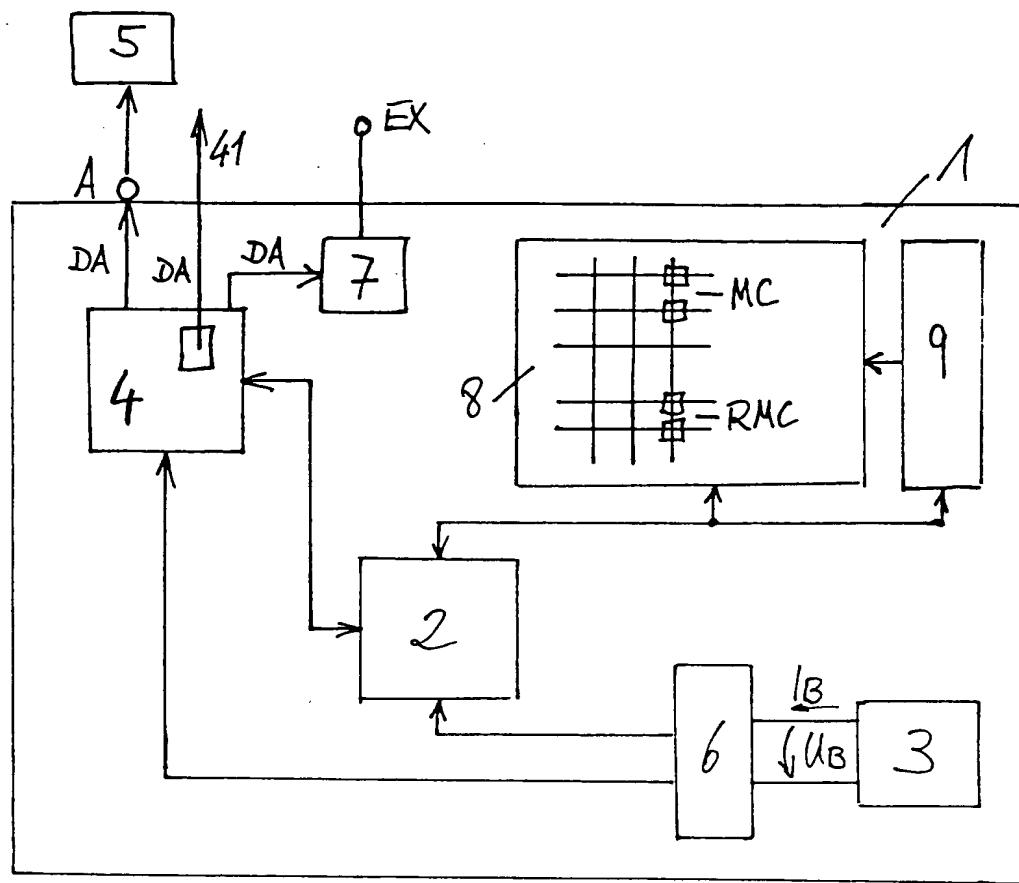


Fig. 1

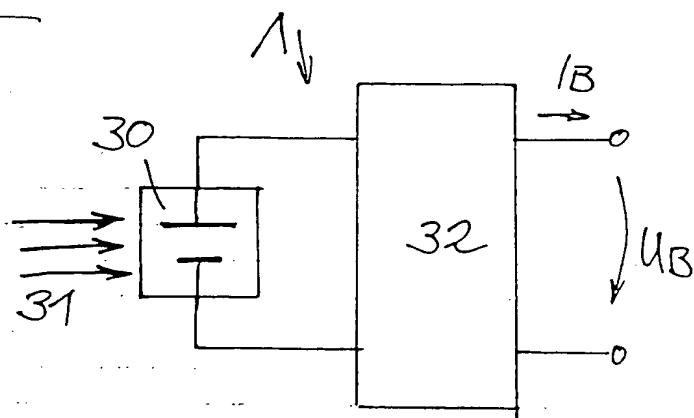


Fig. 2

2/3

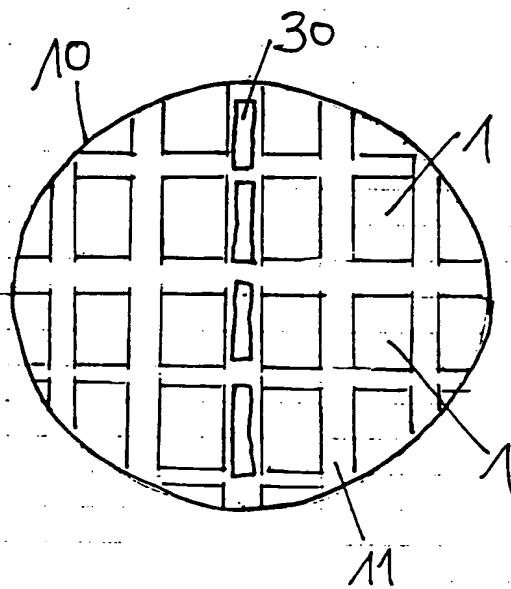
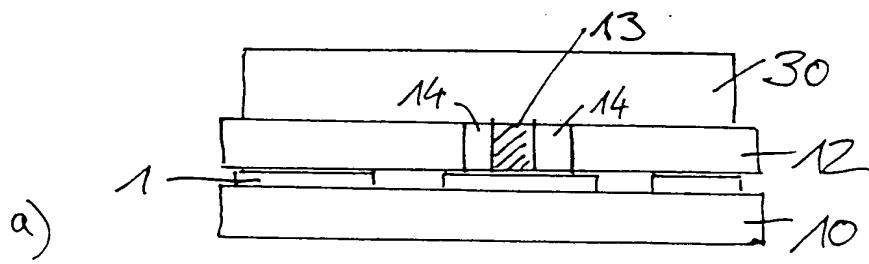
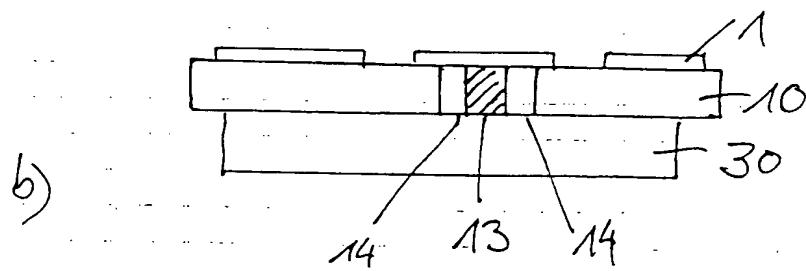


Fig. 4



a)



b)

Fig. 5

3/3

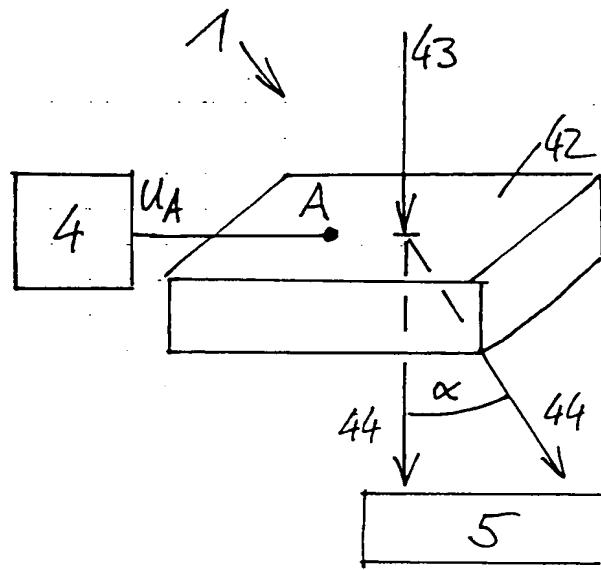


Fig. 3